

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-097408

(43)Date of publication of application : 08.04.1994

(51)Int.Cl.

H01L 27/146

H04N 5/335

(21)Application number : 04-266892

(71)Applicant : CANON INC

(22)Date of filing : 10.09.1992

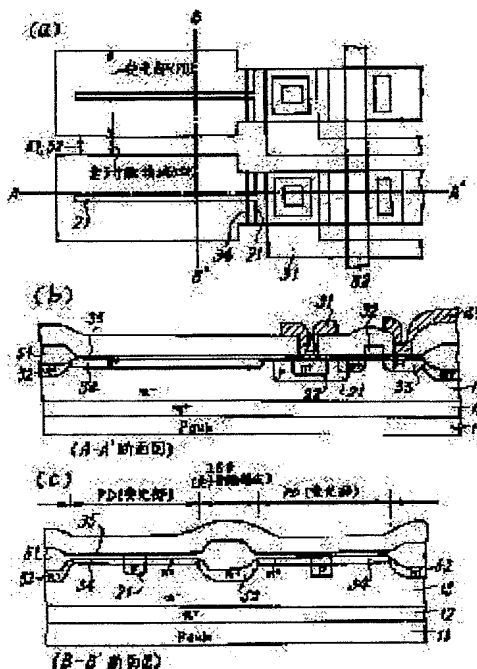
(72)Inventor : YUZURIHARA HIROSHI
NAKAYAMA HISAKI
UENO TOSHITAKE

(54) PHOTOELECTRIC CONVERSION DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a photoelectric conversion device which prevents the generation of noise due to dark current of a photoelectric conversion cell and eliminates its noise thus induced and a manufacturing method for the device.

CONSTITUTION: There are continuously laid out without any gap a high concentration impurity area 52 and a high concentration impurity area 34 under a light receiving part in a photoelectric conversion device which is equipped with a plurality of bipolar photoelectric conversion cells, with a high concentration impurity area, higher in concentration than a collector area of the bipolar transistor which constitutes the photoelectric conversion cell and the same conductivity type in the area 52 under an insulating film 51 in an element isolation area between the photoelectric conversion cells and in the area 34 under an insulating film 35 of the light receiving part.



SPECIFICATION <EXCERPT>

[0056] Furthermore, the means for solving the problem described above is a manufacturing method of a photoelectric conversion device having a plurality of bipolar photoelectric conversion cells which includes the following steps in order to remove the resist on the part forming the element separating region between the photoelectric conversion cells, and to form the high-concentration impurity region under the element separating region, namely: implanting ionic contaminant; forming, after implanting the ionic contaminant, a thick oxidized film that serves as an insulating film of the element separating region; removing the resist after forming the thick oxidized film, and forming a thin oxidized film that serves as an insulating film of the light receiving unit on the surface where the resist is removed; and implanting the ionic contaminant through the thin oxidized film for forming, under the light receiving unit of the photoelectric conversion cell, a high-concentration impurity region that is continuous to the high-concentration impurity region under the element separating region.

(Means B) As another means to solve the abovementioned problem, the present invention provides a photoelectric conversion device having an array of photoelectric conversion elements and driving the photoelectric conversion elements via a switching unit. The photoelectric conversion device includes a boosting circuit capable of achieving the bootstrap effect, and which boosts scanning pulses provided from the column scanning circuit, and which includes a bootstrap capacitance unit on the output side of the switching unit.

[0087] First, when the pulse ϕv_1 from the column scanning circuit

121 rises to high level, the transistor Q_{s1} is turned on, and the gate potential v_1 of the transistor Q_{t1} becomes the high level of the pulse ϕ_{v1} – the threshold voltage of the nMOS transistor. The pulse ϕ_t is also raised to high level to turn on the transistors Q_{a1} to Q_{a2} .

[0088] Subsequently, when the pulse ϕ_d rises to high level, a positive voltage is applied to the horizontal line HL_1 via the transistor Q_{t1} , and the gate voltage v_1 of the transistor Q_{t1} is boosted to the positive direction. However, the transistor Q_{s1} does not absorb the increased voltage in V_1 into ϕ_{v1} .

[0089] In this embodiment, an experiment demonstrates that the voltage at v_1 is approximately 3.7 V immediately after ϕ_{v1} rises to high level, and increases to approximately 9 V immediately after ϕ_d rises to high level, when it is assumed that channel width (W)/channel length (L) of the transistors Q_{s1} and Q_{t1} are 6/2 and 50/2, C_{B1} is 0.4 pF, and all of the high levels of the input pulses are 5 V. The result ensures that the horizontal line HL_1 increases to 5 V without a voltage drop.

[0090] This operation reads the first line, and signals from the first line are accumulated in the capacitors C_1 to C_n through the vertical lines VL_1 to VL_n and the transistors Q_{a1} to Q_{an} , respectively.

[0091] Next, the pulse ϕ_t falls to low level and the transistors Q_{a1} to Q_{an} are turned off. Subsequently, the pulses ϕ_{h1} to ϕ_{hn} are sequentially provided from the row scanning circuit 121. Accordingly, the readout signals accumulated in the capacitors C_1 to C_n are sequentially provided to the output line 122 via the transistors Q_1 to Q_n , and serially output to the outside as an output signal V_{out} through the amplifier 124.

[0092] Note that the pulse ϕ_{rh} rises each time the readout signal is provided, which turns on the transistor Q_{rh} and removes the carrier in the output line 122.

[0093] In parallel with the signal output operation, the pulse ϕ_r is raised to high level to turn on the transistors Q_{b1} to Q_{bn} , and the

vertical lines VL_1 to VL_n are grounded. Furthermore, the pulse ϕ_d is set to a negative potential in a time period T_2 , and the MOS transistor Tr in the first line is turned on.

[0094] With this operation, as described above, the potential of the p-base region 103 in the elements S_{11} to S_{1n} is uniformly set to the ground potential V_c , and is restored to the initial negative potential by the refresh operation in the time periods T_3 and T_4 , and the accumulation operation starts. V_1 rises to a sufficiently high voltage (9 V, for example) in time T_4 as well, and the same effect as described above can be achieved.

DRAWINGS

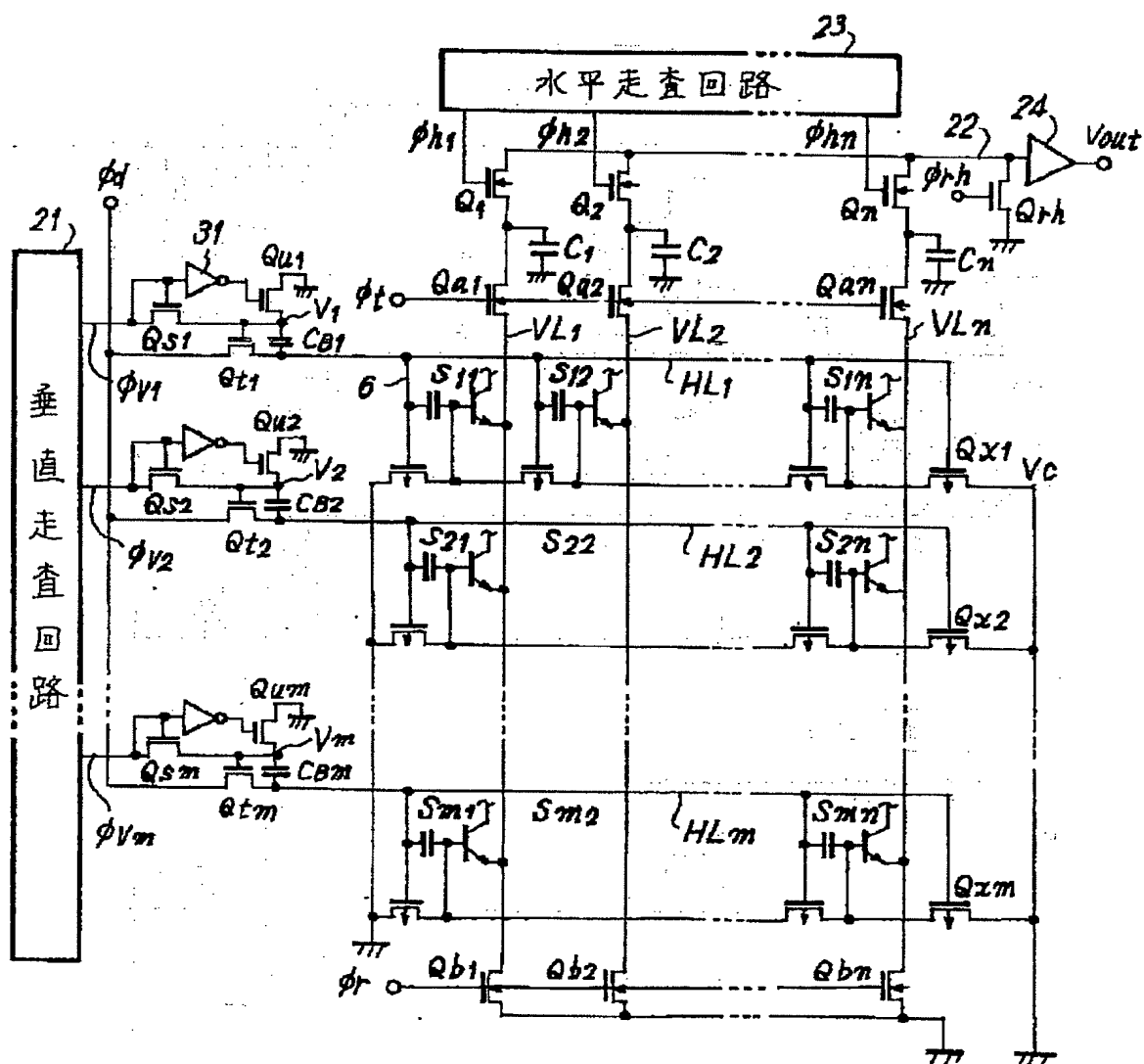


FIG. 9

21 Column scanning circuit

23 Row scanning circuit

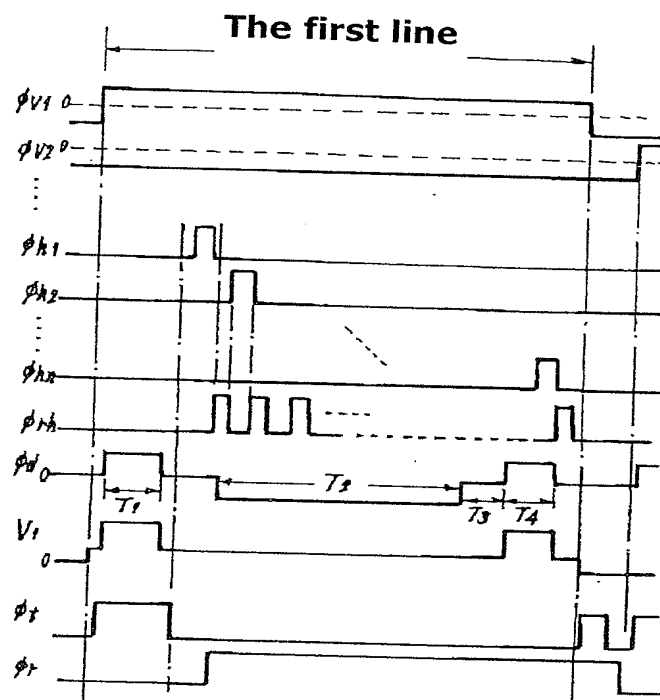


FIG.10

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-97408

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl.⁵

H 0 1 L 27/146

H 0 4 N 5/335

識別記号

庁内整理番号

F I

技術表示箇所

Z

7210-4M

H 0 1 L 27/ 14

A

審査請求 未請求 請求項の数6(全 16 頁)

(21)出願番号

特願平4-266892

(22)出願日

平成4年(1992)9月10日

(71)出願人 000001007

キャノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 譲原 浩

東京都大田区下丸子3丁目30番2号 キャ
ノン株式会社内

(72)発明者 仲山 寿樹

東京都大田区下丸子3丁目30番2号 キャ
ノン株式会社内

(72)発明者 上野 勇武

東京都大田区下丸子3丁目30番2号 キャ
ノン株式会社内

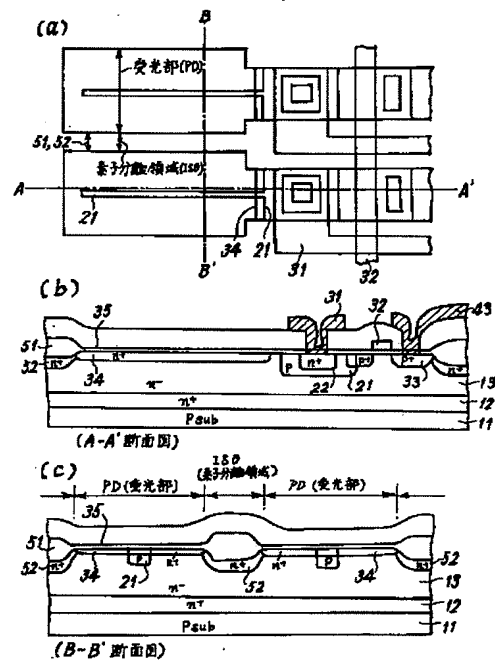
(74)代理人 弁理士 山下 穰平

(54)【発明の名称】 光電変換装置及びその製造方法

(57)【要約】

【目的】 本発明の目的は、光電変換セルの暗電流の発生を防止し、それによるノイズを除去した光電変換装置及びその製造方法を提供することにある。

【構成】 複数のバイポーラ型光電変換セルを備えた光電変換装置において、前記光電変換セルを構成するバイポーラトランジスタのコレクタ領域よりも高濃度で、かつ同導電型の高濃度不純物領域を、前記光電変換セル間の素子分離領域の絶縁膜51下の領域52と、受光部の絶縁膜35下の領域34とに有し、前記素子分離領域下の高濃度不純物領域52と、前記受光部下の高濃度不純物領域34とが連続して隙間無く配設されていることを特徴とする光電変換装置及びその製造方法。



【特許請求の範囲】

【請求項1】 複数のバイポーラ型光電変換セルを備えた光電変換装置において、

前記光電変換セルを構成するバイポーラトランジスタのコレクタ領域よりも高濃度で、かつ同導電型の高濃度不純物領域を、前記光電変換セル間の素子分離領域の絶縁膜下の領域と、受光部の絶縁膜下の領域とに有し、前記素子分離領域下の高濃度不純物領域と、前記受光部下の高濃度不純物領域とが連続して隙間無く配設されていることを特徴とする光電変換装置。

【請求項2】 複数のバイポーラ型光電変換セルを備えた光電変換装置の製造方法において、

前記光電変換セル間の素子分離領域となる部分のレジストを除去し、前記素子分離領域下に高濃度不純物領域を形成するため、不純物イオンを注入する工程と、前記イオン注入後、前記素子分離領域の厚い絶縁膜を形成する工程と、

前記厚い絶縁膜を形成する工程の後、前記レジストを除去し、該除去した表面に受光部の薄い絶縁膜を形成する工程と、

前記光電変換セルの受光部下に、前記素子分離領域下の高濃度不純物領域と連続した高濃度不純物領域を形成するため、前記薄い絶縁膜を通して、不純物イオンを注入する工程と、

を含むことを特徴とする光電変換装置の製造方法。

【請求項3】 複数の光電変換素子を配列し、スイッチ手段を介して前記光電変換素子を駆動する光電変換装置において、

前記垂直走査回路から出力される走査パルスを昇圧するための、前記スイッチ手段の出力側にブートストラップ容量手段を設けたブートストラップ効果を有する回路を有することを特徴とする光電変換装置。

【請求項4】 各水平ラインの非選択時に、該水平ラインを接地させるスイッチ手段を設け、全画素を一括してリセットする機能を有することを特徴とする請求項3に記載の光電変換装置。

【請求項5】 各垂直ラインのリセット用スイッチ手段を設けたことを特徴とする請求項3に記載の光電変換装置。

【請求項6】 前記複数の光電変換素子を構成するトランジスタのベース・リセット用の可変電源 V_c を設けたことを特徴とする請求項5に記載の光電変換装置。

【発明の詳細な説明】

【0001】本発明は、複数の光電変換素子を配列し、駆動パルスにより各光電変換素子を制御する光電変換装置及びその製造方法に関し、特に、トランジスタの制御電極の電位を制御することで、前記制御電極領域に光励起によって発生したキャリアを蓄積し、その蓄積電圧を読み出し、また蓄積キャリアを除去するという動作を行うバイポーラ型光電変換セルを有する光電変換装置に関

する。

【0002】

【従来の技術】（従来例A）図5は、従来の光電変換装置の一例として、特公平1-222583号に記載されている光電変換装置の回路図の一部である。

【0003】図5において、 $1_{-1} \sim 1_{-n}$ は蓄積タイプのフォトトランジスタアレイ（セル）であり、コレクタには共通の電源が接続され、制御電極領域（ベース）に光電変換された電荷を蓄積し、主電極領域（エミッタ）から読み出すことのできる構造を有するもので、その具体的内容は、例えば特開昭62-128678号、特開昭62-113468号、特願昭61-168286号、特願昭61-219668号、特願昭61-219669号等に詳細な記載がある。

【0004】 $2_{-1} \sim 2_{-n}$ は、フォトトランジスタアレイ1を構成する各バイポーラトランジスタのベースを ϕ_{res} が与えられたときに電源 V_c に接続してリセットするためのPMOSスイッチ、 $3_{-1} \sim 3_{-n}$ はバイポーラトランジスタの各エミッタに接続されて蓄積された信号を ϕ_{i} に同期して後段へ取り出すためのNMOSスイッチ、 $4_{-1} \sim 4_{-n}$ は、NMOSスイッチ $3_{-1} \sim 3_{-n}$ の各々に直列接続されて画像信号をA/D変換器へ送出するためのNMOSスイッチである。

【0005】 $5_{-1} \sim 5_{-n}$ は、NMOSスイッチ $3_{-1} \sim 3_{-n}$ と $4_{-1} \sim 4_{-n}$ の各接続点と接地間に接続された各画素ごとの信号を読み出すための蓄積容量、6はNMOSスイッチ $4_{-1} \sim 4_{-n}$ を順番にオンさせて画像信号を逐次読み出すためのシフトレジスタである。

【0006】8は、NMOSスイッチ $4_{-1} \sim 4_{-n}$ の出力端子が共通接続された読出しライン7を信号 ϕ_{hrs} の与えられたときに接地して初期化するためのNMOSスイッチ、9は読出しライン7に出力された画像信号を増幅する出力アンプ、 $10_{-1} \sim 10_{-n}$ は ϕ_{hrs} が与えられたときにフォトトランジスタアレイ $1_{-1} \sim 1_{-n}$ の各エミッタを接地する為のNMOSスイッチである。

【0007】図6は、図5の光電変換素子アレイの動作を説明するタイミングチャートである。

【0008】図6に示されるように、まず、リセットが行なわれる。時間 $t_1 \sim t_2$ 期間において ϕ_{res} をローレベルにし、PMOSスイッチ $2_{-1} \sim 2_{-n}$ をオンすることにより、フォトトランジスタアレイ（以下、画素列という） $1_{-1} \sim 1_{-n}$ のベースが V_c の電位に固定される。

【0009】次に、時間 $t_3 \sim t_4$ 期間において ϕ_{hrs} 及び ϕ_{i} をハイレベル（ON）にすることにより、NMOSスイッチ $10_{-1} \sim 10_{-n}$ 及び $3_{-1} \sim 3_{-n}$ が導通し、蓄積容量 $5_{-1} \sim 5_{-n}$ が接地され、残留電荷がリセットされる。この画素列 $1_{-1} \sim 1_{-n}$ のベース及びエミッタの各々に対するリセットが終了すると、次に蓄積動作に入る。

【0010】蓄積動作に入ると、光電変換された電荷は

画素列 $1_{-1} \sim 1_{-n}$ のベース領域に蓄積される。このとき、画素列のベース及びエミッタはフローティング（容量負荷状態）になっており、エミッタにはベース電位を反映した電圧が生じる。

【0011】信号の逐次読み出しに際しては、NMOSスイッチ $4_{-1} \sim 4_{-n}$ をシフトレジスタ6によって順次ONにし、蓄積容量 $5_{-1} \sim 5_{-n}$ に蓄積された信号電荷を读出しライン7へ読み出す。シフトレジスタ6は ϕ_{sk} が入力されるごとにNMOSスイッチ $4_{-1} \sim 4_{-n}$ を順次選択する直前に ϕ_{hrs} をNMOSスイッチ8をONにし、读出しライン7に残留している電荷をリセットする。

【0012】次に、図5に記載されている光電変換セルの一例の概略的平面図を図7(a)に示す。また、そのA-A'断面図を図7(b)に、そのB-B'断面図を図7(c)に示す。なお、図8はその等価回路図である。

【0013】各図において、p型シリコン基板11上には n^+ 埋め込み層12が形成され、さらに n^- エピタキシャル層13が形成されている。 n^- エピタキシャル層13にはコレクタ取り出し用の n^+ 領域(図示せず)及びpベース領域21が形成されている。pベース領域21には n^+ エミッタ領域22が形成されている。そして n^+ エミッタ領域22には、エミッタ電極31が接続されている。

【0014】また、本例では、絶縁領域51と、その直下に設けられた n^+ 領域52とによって素子分離領域ISOが形成され、隣接する光電変換セルを互いに電気的に分離している。

【0015】pベース領域21はMOSFETのドレインの機能を兼ねており、ゲート電極32により他方の電極(ソース)33と分離されている。

【0016】また、pベース領域21と、 n^- エピタキシャル領域13のそれぞれ一部には、 n^+ 領域34が形成されており、 n^- エピタキシャル領域13とその上部に形成されている絶縁膜35との界面付近で発生、再結合する電流成分の除去に寄与している。

(従来例B) 次に、3値レベル駆動型の光電変換素子の一例について説明する。なお、この種の光電変換素子については、特願昭62-17150号(発明の名称:光電変換装置)に詳細に開示されているので、ここでは簡単に説明する。

【0017】図12は、光電変換素子の概略的断面図で、 n シリコン基板101上に複数の光電変換素子 $S_1 \sim S_n$ が形成されており、エピタキシャル技術等で形成される不純物濃度の低い n^- 領域102上にはpタイプの不純物をドーピングすることでp領域103が形成され、p領域103には不純物拡散技術またはイオン注入技術等によって n^+ 領域104が形成されている。p領域103および n^+ 領域104は、各々バイポーラトランジスタのベースおよびエミッタである。

【0018】このように各領域が形成された n^- 領域102上には酸化膜105が形成され、酸化膜105上に各pベース領域103およびそれぞれ隣接するpベース領域103間にまたがって所定の面積を有するキャパシタ電極106が形成されている。このpベース領域103上のキャパシタ電極106は、pベース領域103と対向してベース電位を制御するためのキャパシタ C_{ox} を構成し、隣接するベース間の電極106は、その隣接するpベース領域103を各々ソース・ドレイン領域とするMOSトランジスタ T_r のゲート電極となっている。したがって、キャパシタ電極とMOSトランジスタ T_r のゲート電極とが接続された構成となっている。

【0019】MOSトランジスタ T_r はpチャネル型かつノーマリオフ型であり、電極106の電位が接地電位または正電位であればオフ状態である。したがって、隣接素子間のpベース領域103は電気的に分離された状態となり、素子分離領域を形成する必要がないのでそれだけ素子の微細化に有利となる。

【0020】逆に、電極106がしきい値電位 V_{th} を超える負電位であると、MOSトランジスタ T_r はオン状態となり、各素子のpベース領域103が相互に導通した状態となる。

【0021】その他に、 n^+ エミッタ領域104に接続されたエミッタ電極107、保護膜108、基板101の裏面に不純物濃度の高い n^+ 領域109、およびバイポーラトランジスタのコレクタに電位を与えるためのコレクタ電極110がそれぞれ形成されている。

【0022】図13は、等価回路図で、図中の破線で囲まれた部分が1個の光電変換素子の等価回路に相当する。

【0023】同図において、各光電変換素子 $S_1 \sim S_n$ の電極106は端子120に共通接続され、端子120にはパルス ϕ_d が入力する。

【0024】また、各素子 $S_1 \sim S_n$ のMOSトランジスタ T_r は直列接続された状態となり、末端素子 S_1 および S_n のpベース領域103には更に一定距離において各々p領域(図示せず)が形成され、素子 S_n の側にはpチャネル型かつノーマリオフ型のMOSトランジスタ Q_x が形成されている。

【0025】MOSトランジスタ Q_x のゲート電極には電極106と同様にパルス ϕ_d が入力し、その図示されていないp領域は一定電位 V に固定されている。また、素子 S_1 のMOSトランジスタ T_r の図示されていないp領域も一定電位 V に固定されている。

【0026】したがって、すべてのMOSトランジスタ T_r および Q_x がオン状態になることで、各素子のpベース領域103の電位を一定電位 V に設定することができる。また、オフ状態であれば、各素子は、電気的に分離された状態となる。

【0027】各素子のエミッタ電極107はリセット用

トランジスタ $Q_{b1} \sim Q_{bn}$ を介して接地され、トランジスタ $Q_{b1} \sim Q_{bn}$ のゲート電極には共通にパルス ϕ_r が入力する。

【0028】なお、コレクタ電極110には正電圧 V_{cc} が印加されている。

【0029】図14は、このような光電変換素子を用いた従来の固体撮像装置の概略的回路図である。

【0030】この装置は、図13に示す光電変換素子 $S_1 \sim S_n$ を m ライン重ねた構成を有する $m \times n$ エリアセンサである。ただし、各ラインは図12に示す構成を有するが、ライン間は通常の素子分離領域を形成して電気的に分離している。

【0031】各ラインにおける素子の電極106は各水平ライン $HL_1 \sim HL_n$ にそれぞれ共通接続され、それぞれスイッチ $SW_1 \sim SW_n$ を介して端子120に接続されている。端子120にはパルス ϕ_d が入力する。

【0032】スイッチ $SW_1 \sim SW_n$ は n MOSトランジスタで構成されるアナログスイッチであり、そのゲート端子には垂直走査回路121の出力端子が接続され、その出力パルス $\phi_{v1} \sim \phi_{vn}$ によって制御される。

【0033】各素子のエミッタ電極107は列ごとに垂直ライン $VL_1 \sim VL_n$ に接続されている。垂直ライン $VL_1 \sim VL_n$ はリセット用トランジスタ $Q_{b1} \sim Q_{bn}$ を介して接地され、トランジスタ $Q_{b1} \sim Q_{bn}$ のゲート電極にはパルス ϕ_r が入力する。

【0034】また、垂直ライン $VL_1 \sim VL_n$ は、トランジスタ $Q_{a1} \sim Q_{an}$ を介して各々蓄積用キャパシタ $C_1 \sim C_n$ に接続され、更にキャパシタ $C_1 \sim C_n$ はトランジスタ $Q_{c1} \sim Q_{cn}$ を介して出力ライン122に接続されている。

【0035】トランジスタ $Q_{a1} \sim Q_{an}$ のゲート電極にはパルス ϕ_t が共通に入力し、トランジスタ $Q_{c1} \sim Q_{cn}$ のゲート電極には水平走査回路123からパルス $\phi_{h1} \sim \phi_{hn}$ が各々入力する。

【0036】出力ライン122はトランジスタ Q_{rh} を介して接地されるとともに、アンプ124の入力端子に接続されている。トランジスタ Q_{rh} のゲート電極にはパルス ϕ_{rh} が入力する。

【0037】なお、各素子のベース電位を設定するための一定電位 V_b は、接地電位とする。

【0038】次に、図15のタイミングチャートを参照して、動作を説明する。

【0039】まず、垂直走査回路121のパルス ϕ_{v1} のみをハイレベルにしてスイッチ SW_1 をON状態とする。また、パルス ϕ_t をハイレベルにしてトランジスタ $Q_{a1} \sim Q_{an}$ をON状態とする。

【0040】次に、パルス ϕ_d を期間 T_1 だけ正電位にすると、スイッチ SW_1 を通して第1ラインの素子 $S_{11} \sim S_{1n}$ の電極106に正電圧が印加する。これにより第1ラインの読出し動作が行われ、第1ラインの読出し信

号が垂直ライン $VL_1 \sim VL_n$ およびトランジスタ $Q_{a1} \sim Q_{an}$ を通してキャパシタ $C_1 \sim C_n$ に各々蓄積される。

【0041】次に、パルス ϕ_t がローレベルとなりトランジスタ $Q_{a1} \sim Q_{an}$ がオフ状態となる。そして、水平走査回路123からパルス $\phi_{h1} \sim \phi_{hn}$ が順次出力され、それによってキャパシタ $C_1 \sim C_n$ に蓄積された読出し信号がトランジスタ $Q_{c1} \sim Q_{cn}$ を介して順次出力ライン122へ取り出され、アンプ124を通して出力信号 V_{out} として外部へシリアルに出力される。なお、各読出し信号が出力される毎にパルス Q_{rh} が立上がり、トランジスタ Q_{rh} をオンして出力ライン122のキャリアを除去する。

【0042】この信号出力動作と平行してパルス ϕ_r をハイレベルにしてトランジスタ $Q_{b1} \sim Q_{bn}$ をオンとし、垂直ライン $VL_1 \sim VL_n$ を接地する。またパルス ϕ_d を期間 T_2 で負電位として、第1ラインのMOSトランジスタ T_r をオン状態とする。

【0043】これによって、すでに述べたように素子 $S_{11} \sim S_{1n}$ の p ベース領域103の電位は、接地電位 V_b に均一に設定され、さらに期間 T_3 および T_4 のリフレッシュ動作により初期の負電位に復帰し、蓄積動作を開始する。

【0044】こうして第1ラインの動作が終了すると、パルス ϕ_{v1} が立下がり、スイッチ SW_1 をオフ状態とする。続いて、パルス ϕ_t が立上がりトランジスタ $Q_{a1} \sim Q_{an}$ をON状態とする。これによって、キャパシタ $C_1 \sim C_n$ に残留しているキャリアを垂直ライン $VL_1 \sim VL_n$ およびトランジスタ $Q_{b1} \sim Q_{bn}$ を通して除去する。

【0045】以下同様の動作をラインごとに行い、第2～第 m ラインの読出し信号を順次出力する。

【0046】このように、3値レベルのパルス ϕ_d により駆動される光電変換素子を用いれば、期間 T_2 において各ラインの素子のベース電位が一定電位に設定され、その後、期間 T_3 および T_4 においてリフレッシュ動作が行われるために、残像特性が良好で、光電変換特性の線形性の良い固体撮像装置を得ることができる。しかも、ライン方向に素子分離領域を必要としないため、素子の微細化に適し、高解像度化に容易に対応できる固体撮像装置を得ることができる。

【0047】

【発明が解決しようとする課題】（課題A）しかしながら、図7(c)において、素子分離領域の絶縁領域51の直下に設けられた高濃度不純物領域としての n^+ 領域52は、パターンニングの際に絶縁領域51に対し位置ずれする可能性がある。図7(c)は、 n^+ 領域52が位置ずれし、受光部下の高濃度不純物領域としての n^+ 領域34との間に隙間を生じた状態を示す図である。

【0048】これは、従来、このような光電変換装置の

製造方法における、特に素子分離領域下の n^+ 領域52と受光部下の n^+ 領域34の形成方法として、素子分離領域51を形成するための Si_3N_4 膜のパターニングと、素子分離領域の直下の n^+ 領域52を形成するためのパターニングは、それぞれレジストをマスクとして、お互いに独立にパターニングするというような方法が行なわれているからである。

【0049】このような位置ずれが生じた場合、 n^+ エピタキシャル領域13が絶縁膜51に接し、界面付近で発生、再結合する電流成分が無視できなくなる。

【0050】特に、素子分離領域付近の界面付近から発生、再結合する電流成分が暗電流の原因となるため、上記従来の光電変換セルでは、光電変換セルの暗電流による雑音成分が信号に含まれるという問題点を有していた。

【0051】(目的A)本発明の目的は、光電変換セルの暗電流の発生を防止し、それによるノイズを除去した光電変換装置及びその製造方法を提供することにある、特に暗電流の発生源となる、 n^+ エピタキシャル層と素子分離領域の絶縁層とが接触しないように、その間に連続して隙間無く n^+ 層を形成した光電変換装置、及びその製造方法を実現することにある。

(課題B)図14の従来例において、3値レベルの駆動パルス ϕ_d を水平ラインHL₁～HL₂に通すためには、スイッチSW₁～SW₂を構成するnMOSトランジスタのゲート電極にパルス ϕ_d を通過させるのに十分な振幅(Lレベル～Hレベル+nMOSトランジスタのしきい値電圧)の走査パルス ϕ_v ～ ϕ_v を供給しなければならない。

【0052】走査回路の入力クロックのHレベルは、 ϕ_d のHレベルより、nMOSトランジスタの V_{th} 以上高く設定しなければならない、このためクロック生成回路の負荷が大きくなるという問題がある。

【0053】このため、通常のクロック生成回路からの入力クロックにより駆動される垂直走査回路では、十分な振幅の走査パルスを出力することができなくなる恐れがあり、垂直走査回路の信頼性が低下するという問題点が生じる。

【0054】(目的B)本発明の目的は、複数の光電変換素子を配列し、スイッチ手段を介して前記光電変換素子を駆動する光電変換素子において、クロック生成回路の負荷を低減して、好ましい振幅の走査パルスを出力することにより、光電変換装置としての信頼性を向上させることにある。

【0055】

【課題を解決するための手段】(手段A)本発明は、前述した課題を解決するための手段として、複数のバイポーラ型光電変換セルを備えた光電変換装置において、前記光電変換セルを構成するバイポーラトランジスタのコレクタ領域よりも高濃度で、かつ同導電型の高濃度不純

物領域を、前記光電変換セル間の素子分離領域の絶縁膜下の領域と、受光部の絶縁膜下の領域とに有し、前記素子分離領域下の高濃度不純物領域と、前記受光部下の高濃度不純物領域とが連続して隙間無く配設されていることを特徴とする光電変換装置を有する。

【0056】また、複数のバイポーラ型光電変換セルを備えた光電変換装置の製造方法において、前記光電変換セル間の素子分離領域となる部分のレジストを除去し、前記素子分離領域下に高濃度不純物領域を形成するため、不純物イオンを注入する工程と、前記イオン注入後、前記素子分離領域の絶縁膜となる厚い酸化膜を形成する工程と、前記厚い酸化膜を形成する工程の後、前記レジストを除去し、該除去した表面に受光部の絶縁膜となる薄い酸化膜を形成する工程と、前記光電変換セルの受光部下に、前記素子分離領域下の高濃度不純物領域と連続した高濃度不純物領域を形成するため、前記薄い酸化膜を通して、不純物イオンを注入する工程と、を含むことを特徴とする光電変換装置の製造方法を、前記課題を解決するための手段とするものである。

(手段B)本発明は、前述した課題を解決するための手段として、複数の光電変換素子を配列し、スイッチ手段を介して前記光電変換素子を駆動する光電変換装置において、垂直走査回路から出力される走査パルスを昇圧するための、前記スイッチ手段の出力側にブートストラップ容量手段を設けたブートストラップ効果を有する昇圧回路を有することを特徴とする光電変換装置を提供するものである。

【0057】

【作用】(作用A)上記従来の課題は、素子分離領域の絶縁領域51の直下に設けられた n^+ 領域52と、 n^+ エピタキシャル領域13、及び、pベース領域21の一部に形成されている受光部下の n^+ 領域34との間に隙間が生じ、 n^+ エピタキシャル領域13が絶縁領域35、51と接することにより、暗電流成分である発生、再結合電流が増大することが原因であった。

【0058】従って、本発明による光電変換装置は、光電変換装置の素子分離領域において、低不純物濃度の領域(n^+ エピタキシャル層13)を、絶縁領域51、35と接することなく配設するために、素子分離領域下に設けられた高濃度不純物領域としての n^+ 領域52と、受光部下の高濃度不純物領域としての n^+ 領域34を隙間無く連続的に配設することを特徴とする。

【0059】このように、素子分離領域、及び、バイポーラトランジスタのコレクタ領域の絶縁領域と接する部分を、高不純物濃度の n^+ 領域により連続して形成することにより、発生、再結合電流の小さい、すなわち、暗電流の小さい光電変換装置を得ることが可能である。

【0060】(作用B)また本発明によれば、ブートストラップ効果を用いた昇圧回路を垂直走査回路と、各光電変換装置との間に設けることにより、垂直走査回路が

ら出力される走査パルスを増圧することができ、駆動パルスφdは電圧降下することなく各光電変換素子に印加され、垂直走査回路の信頼性を高めることができる。

【0061】

【実施例】（実施例A1）以下、本発明の実施例を図面を用いて詳細に説明する。

【0062】まず、本実施例で使用される光電変換セルの構造について述べる。

【0063】図1(a)は、本発明による光電変換装置の一実施例で使用される光電変換セルの概略的平面図、図1(b)はそのA-A'線断面図、図1(c)はそのB-B'線断面図、図8はその等価回路図である。ただし、図7(a)～図7(c)で説明した従来例と同一機能を有する領域には同一番号が付されている。

【0064】各図において、p型シリコン基板11上にはn⁺埋め込み層12が形成され、さらにn⁻エピタキシャル層13が形成されている。

【0065】n⁻エピタキシャル層13にはコレクタ取り出し用のn⁺領域(図示せず)、及びpベース領域21が形成されている。pベース領域21にはn⁺エミッタ領域22が形成されている。そしてn⁺エミッタ領域22には、エミッタ電極31が接続されている。

【0066】pベース領域21は、MOSFETのドレインの機能を兼ねており、ゲート電極32により他方の電極(ソース)33と分離されている。

【0067】また、pベース領域21と、n⁻エピタキシャル領域13のそれぞれ一部には、光電変換セルの受光部の高濃度不純物領域としてn⁺領域34が形成されており、n⁻エピタキシャル領域13とその上部に形成されている絶縁膜35との界面付近で発生、再結合する電流成分の除去に寄与している。

【0068】また、本例では、絶縁領域51と、その直下に設けられたn⁺領域52とによって素子分離領域ISOが形成され、隣接する光電変換セルを互いに電氣的に分離している。このとき、素子分離領域の絶縁領域51の直下に設けられた高濃度不純物領域としてのn⁺領域52と、前記受光部の絶縁領域35の直下に設けられた高濃度不純物領域としてのn⁺領域34は連結されて隙間なく配設されている。

【0069】更に、電極で用いるAL配線上部に絶縁層(図示せず)が形成されており、遮光用のAL(図示せず)が絶縁膜の上部を覆っている。このとき遮光用AL膜はバイポーラトランジスタのエミッタ電極部31を覆っている。

【0070】更に、パシベーション膜としてプラズマSiN膜(図示せず)が形成されている。

【0071】次に、本発明の実施例における製造方法について図2～図4を用いて説明する。図2～図4において、(a)は、図1(b)に相当する断面図であり、(b)は、図1(c)に相当する断面図である。

【0072】まず、p型で比抵抗率が10～20Ω・cmのシリコン基板11に、n型の領域12、及びp型の領域(図示はしていない)を形成した。

【0073】次に、H₂ + SiHCl₃ + PH₃の雰囲気中でn⁻エピタキシャル層13を形成した。

【0074】次に、シリコン基板を酸化し、膜厚35nmの酸化膜14を形成し、その後、LPCVD装置によりSi₃N₄膜15を堆積した。この時、Si₃N₄膜15の膜厚は150nmであった。

【0075】次に素子分離領域となる部分のSi₃N₄膜15をフォトリソグラフィとドライエッチングにより除去し、つづいて、レジストパターンニングにより素子分離領域、及び受光部分全体のレジストを除去した。

【0076】次に、イオン注入装置により、リンを2×10¹³cm⁻²打ち込んだ。この時の加速電圧は45keVであった(図2(a),(b))。

【0077】この条件では、リンイオンはSi₃N₄膜15が除去されている部分ではシリコン基板中に注入されるが、Si₃N₄膜15のある部分には注入されない。

【0078】次に、レジストを除去した後、基板を酸化した。この時の酸化膜厚は800nmであった。

【0079】部分的に残っていたSi₃N₄膜15をリン酸により除去し、フッ酸処理をした後、30nmの膜厚の酸化膜35を形成した(図3(a),(b))。

【0080】つづいて、MOSFETのゲート電極となるポリシリコンを堆積、選択除去し、つづいて、NPNバイポーラトランジスタのエミッタ22、及び、NMOSFETのソース、ドレイン(図示せず)、及び、PMOSFETのソース33、ドレインをそれぞれ形成した。

【0081】つづいて、レジストパターンニングにより、素子分離領域、及び、受光部のpベース領域21とn⁻エピタキシャル領域13全体のレジスト80を除去した。

【0082】次に、イオン注入装置によって、ヒ素イオンを5×10¹²cm⁻²打ち込んだ。この時の加速電圧は150keVであった(図4(a),(b))。

【0083】この条件では、ヒ素イオンは厚い酸化膜で形成されている絶縁領域の下方のシリコン基板には注入されない。上記製造方法をとることにより、図1

(b),(c)に示すように絶縁領域ISO直下に設けられたn⁺領域52と受光部PDに設けられたn⁺領域34は連続して配設することが可能であり、低不純物濃度のn⁻エピタキシャル領域13が絶縁膜51、35と接する領域は存在しない。

【0084】続いて、CVDによりSiO膜を堆積し、コンタクトホールを開孔した後、配線用のAL膜を形成し、更に、絶縁膜、遮光用AL膜、パシベーション膜を形成して、本発明の光電変換装置が製造できた。

(実施例B1) 図9は、本発明による固体撮像装置の一実施例を示す概略的回路図である。

【0085】なお、前述し従来例の図14と異なる箇所は、垂直走査回路121の出力を昇圧せしめる回路が付加された点であり、各水平ライン $HL_1 \sim HL_m$ にブート・ストラップ容量 $C_{b1} \sim C_{bm}$ が付加され、スイッチ・トランジスタ $Q_{t1} \sim Q_{tm}$ のゲート電極をリセットする為のトランジスタ $Q_{u1} \sim Q_{um}$ 、及び $Q_{t1} \sim Q_{tm}$ のゲート電極をフローティングにする為のトランジスタ $Q_{s1} \sim Q_{sm}$ 、及びインバータ131が付加された回路になっている。

【0086】次に、図10のタイミング・チャートを参照して本実施例の動作を説明する。なお、本実施例は、パルス ϕ_d のハイレベルを電圧降下させることなく、水平ライン $HL_1 \sim HL_m$ に出力させるものであり、入力クロックはすべて、前述した従来例の図15のタイミング・チャートと同一であり、動作も従来例の図14と同一である。

【0087】まず、垂直走査回路121のパルス ϕ_{v1} がハイレベルになると、トランジスタ Q_{s1} がON状態になり、トランジスタ Q_{t1} のゲート電位 v_1 は(パルス ϕ_{v1} のハイレベル—nMOSトランジスタの閾値電圧)になる。またパルス ϕ_t をハイレベルにしてトランジスタ $Q_{a1} \sim Q_{am}$ をON状態にする。

【0088】次に、パルス ϕ_d がハイレベルになると、トランジスタ Q_{t1} を通して水平ライン HL_1 に正電圧が印加されるが、ブート・ストラップ容量 C_{b1} を通して、トランジスタ Q_{t1} のゲート電圧 v_1 は正の方向に昇圧される。但し、この時、トランジスタ Q_{s1} によって、 v_1 の電圧上昇は、 ϕ_{v1} に吸収されることはない。

【0089】本実施例において、実験したところ、トランジスタ Q_{s1} 、 Q_{t1} のチャネル幅/チャネル長： W/L を6/2、50/2とし、 C_{b1} を0.4pFとし、入力パルスのハイレベルをすべて5Vとした場合、 V_1 の電圧は、 ϕ_{v1} がハイレベルになった直後、約3.7Vになり、 ϕ_d がハイレベルになった直後、約9Vまで上昇し、従って、水平ライン HL_1 は、5Vまで電圧降下なく、上昇することが確認された。

【0090】これにより、第1ラインの読出し動作が行なわれ、第1ラインの信号が垂直ライン $VL_1 \sim VL_m$ およびトランジスタ $Q_{a1} \sim Q_{am}$ を通して、キャパシタ $C_1 \sim C_m$ に各々蓄積される。

【0091】次に、パルス ϕ_t がローレベルとなりトランジスタ $Q_{a1} \sim Q_{am}$ がオフ状態となる。そして、水平走査回路121からパルス $\phi_{h1} \sim \phi_{hm}$ が順次出力され、それによってキャパシタ $C_1 \sim C_m$ に蓄積された読出し信号がトランジスタ $Q_1 \sim Q_m$ を介して順次出力ライン122へ取り出され、アンプ124を通して出力信号 V_{out} として外部へシリアルに出力される。

【0092】なお、各読出し信号が出力される毎にパルス ϕ_{rh} が立上がり、トランジスタ Q_{rh} をオンして出力ライン122のキャリアを除去する。

【0093】この信号出力動作と平行してパルス ϕ_r をハイレベルにしてトランジスタ $Q_{b1} \sim Q_{bm}$ をオンとし、垂直ライン $VL_1 \sim VL_m$ を接地する。またパルス ϕ_d を期間 T_2 で負電位として、第1ラインのMOSトランジスタ T_r をオン状態とする。

【0094】これによって、すでに述べたように素子 $S_{11} \sim S_{1m}$ のpベース領域103の電位は、接地電位 V_0 に均一に設定され、さらに期間 T_3 および T_4 のリフレッシュ動作により初期の負電位に復帰し、蓄積動作を開始する。期間 T_4 においても V_1 は充分高い電圧(例えば9V)まで上昇し、前述と全く同様の効果が得られる。

【0095】こうして第1ラインの動作が終了すると、パルス ϕ_{v1} が立下がると、インバータにより、トランジスタ Q_{u1} がONし、 V_1 は接地電位になりスイッチ Q_{t1} をオフ状態となる。続いて、パルス ϕ_t が立上がりトランジスタ $Q_{a1} \sim Q_{am}$ をオン状態とする。これによって、キャパシタ $C_1 \sim C_m$ に残留しているキャリアを垂直ライン $VL_1 \sim VL_m$ およびトランジスタ $Q_{b1} \sim Q_{bm}$ を通して除去する。

【0096】以下同様の動作をラインごとに行い、第2～第mラインの読出し信号を順次出力する。

(実施例B2) 図11は、本発明による他の実施例を示す概略的回路図である。実施例B1(図9)に対して、各水平ライン $HL_1 \sim HL_m$ にリセット用トランジスタ $Q_{v1} \sim Q_{vm}$ を付加したものである。また、このトランジスタ $Q_{v1} \sim Q_{vm}$ のゲートには、パルス $\phi_{v1} \sim \phi_{vm}$ がインバータを介して接続されており、各水平ライン $HL_1 \sim HL_m$ において、非選択時、つまり、 $\phi_{v1} \sim \phi_{vm}$ がローレベル時に、水平ライン $HL_1 \sim HL_m$ を接地電位にするものである。

【0097】これにより、水平方向の、 $HL_1 \sim HL_m$ を介したクロストークの影響を抑圧することができる。

【0098】本実施例の動作は、上記の他は、実施例B1と全く同一なので省略する。

(実施例B3) 図16は、本発明による他の実施例を示す概略回路図である。実施例B1、B2では、各水平ライン $HL_1 \sim HL_m$ は3値レベルのパルスにより駆動されていたが、本実施例は、 $HL_1 \sim HL_m$ を2値レベルのパルスで駆動しようとするものである。

【0099】本実施例は水平ライン $HL_1 \sim HL_m$ の昇圧回路部分は、実施例B1と全く同様であるが、新たに、垂直ライン $VL_1 \sim VL_m$ のリセット用トランジスタ $Q_{c1} \sim Q_{cm}$ が付加されている。さらに、素子 $S_{11} \sim S_{1m}$ のベース・リセット電位 v_0 も外部端子から入力できる様になっている。

【0100】本実施例の動作を図17を用いて説明す

る。

【0101】まず、時刻 t_0 において、パルス ϕ_{v1} が立上る。この時 ϕ_r はハイレベルにあり、垂直ライン $VL_1 \sim VL_n$ はすべて、接地電位にリセットされている。

【0102】次に、 ϕ_t が立上り、キャパシタ $C_1 \sim C_n$ も接地レベルにリセットされ、時刻 t_2 において、 ϕ_r が立下り、垂直ラインは各々、フローティング状態になる。

【0103】その後、パルス ϕ_d が期間 T_1 だけハイレベルになると、第1の実施例と同じく、第1ライン上の素子 $S_{11} \sim S_{1n}$ の電極106には、パルス ϕ_d のハイレベルが電圧降下することなく印加される。これにより第1ラインの信号読出しが行なわれ、素子 $S_{11} \sim S_{1n}$ の信号がキャパシタ $C_1 \sim C_n$ 上に読出される。

【0104】次に、パルス ϕ_t がローレベルとなり、トランジスタ $Q_{a1} \sim Q_{an}$ がオフ状態になり、時刻 t_2 には ϕ_{v1} もローレベルになりトランジスタ Q_{t1} もオフ状態になる。

【0105】そして、水平走査回路123からパルス $\phi_{h1} \sim \phi_{hn}$ が順次出力され、それに従ってキャパシタ $C_1 \sim C_n$ に蓄積された読出し信号がトランジスタ $Q_{11} \sim Q_n$ を介して順次出力ライン122へ取り出され、アンプ124を通して出力信号 V_{out} として外部へシリアルに出力される。なお、各読出し信号が出力される毎にパルス ϕ_{rh} が立上がり、トランジスタ Q_{rh} をオンして出力ライン122のキャリアを除去する。

【0106】この信号出力動作と平行してパルス ϕ_r をハイレベルにしてトランジスタ $Q_{b1} \sim Q_{bn}$ をオンとし、垂直ライン $VL_1 \sim VL_n$ を接地する。

【0107】こうして、キャパシタ $C_1 \sim C_n$ 上の読出し信号がすべて、外部に出力された後、第2ライン以降、第 m ライン上の素子の信号読出しが全く同様に行なわれる。

【0108】全素子の信号読出しが終了した後、時刻 t_3 において、 V_r が各素子内の p -MOSトランジスタの閾値電圧より高い電圧だけ上昇する。各水平ライン $HL_1 \sim HL_n$ は接地電位にあるので、これにより、素子内の p -MOSトランジスタはオン状態となり、全画素一括して、接地電圧から、 p -MOSトランジスタの閾値電圧だけ正の電位にリセットされる（一括完全リセット）。

【0109】その後 V_r は再び接地電位まで立下り、上記リセットは終了する。次に時刻 t_4 において、パルス ϕ_{r2} が立上ると全画素同時に、リフレッシュ動作が行なわれる。

【0110】この時端子電圧 V_r を適当な値に設定することにより、リフレッシュ終了時の全画素のベース電位を接地電位近傍に設定することができる（一括リフレッシュ動作）。

【0111】その後、パルス ϕ_{r2} が立下り、前述のリフレッシュ動作が終了する。

【0112】次に、時刻 t_5 において、パルス ϕ_{v1} が立上り、さらに、その後、パルス ϕ_d も立上り、水平ライン HL_1 上の素子のリフレッシュ動作が行なわれ、素子 $S_{11} \sim S_{1n}$ のベース領域103の電位は初期の負電位に復帰し、蓄積動作を開始する。上記リフレッシュ動作を全水平ライン毎に行ない、全素子が蓄積状態になる（順次リフレッシュ動作）。

【0113】以上、一連の読出し動作、一括完全リセット動作、一括リフレッシュ動作、順次リフレッシュ動作を通じて、残像特性が良好で、光電変換特性の線型性の良い固体撮像装置が得られる。

【0114】

【発明の効果】（効果A）以上説明した様に、本発明はバイポーラ型の光電変換セルを持った光電変換装置において、光電変換セル間の素子分離領域と受光領域が絶縁膜と接する界面付近に高不純物濃度の領域を配設することにより、暗電流の小さい、すなわち S/N の大きい光電変換装置を得ることができる。

【0115】（効果B）また本発明によれば、複数の光電変換素子を駆動する垂直走査回路から出力される走査パルスを、ブートストラップ効果を有する昇圧回路により昇圧して供給することにより、各光電変換素子の駆動クロックを、電圧降下することなく各光電変換素子に印加することができる。

【0116】これにより、残像特性が良好で、光電変換特性の線型性の良い光電変換装置が得られる。

【図面の簡単な説明】

【図1】本発明の実施例A1の光電変換装置の構造を示す模式図。

【図2】本発明の光電変換装置の製造工程を示す模式的断面図。

【図3】本発明の光電変換装置の製造工程を示す模式的断面図。

【図4】本発明の光電変換装置の製造工程を示す模式的断面図。

【図5】従来例、及び本発明における光電変換装置の回路図。

【図6】従来例、及び本発明における光電変換装置の動作タイミング図。

【図7】従来例の光電変換装置の構造を示す模式図。

【図8】従来例、及び本発明の光電変換装置の等価回路図。

【図9】本発明の実施例B1の光電変換装置の回路図。

【図10】本発明の実施例B1のタイミングチャート。

【図11】本発明の実施例B2の光電変換装置の回路図。

【図12】従来例の光電変換装置の断面を示す模式図。

【図13】図12の光電変換装置の等価回路図。

【図 16】本発明の実施例 B 3 の光電変換装置の回路図。

【図17】実施例B3のタイミングチャート。

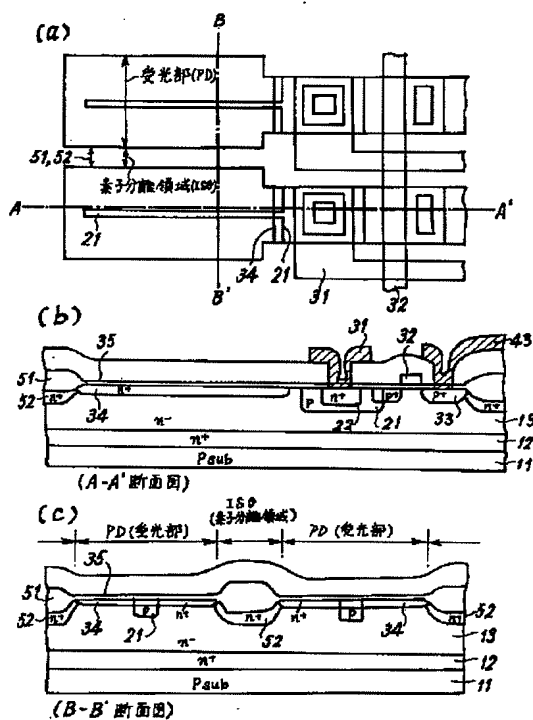
【符号の説明】

1 ₋₁ ~ 1 _{-n}	フォトトランジスタアレイ	
2 ₋₁ ~ 2 _{-n}	PMOSFETスイッチ	
3 ₋₁ ~ 3 _{-n} 、4 ₋₁ ~ 4 _{-n} 、10 ₋₁ ~ 10 _{-n}	NMOS	
FETスイッチ		
6	シフトレジスタ	
11	p型シリコン基板	
13	n型エピタキシャル層	

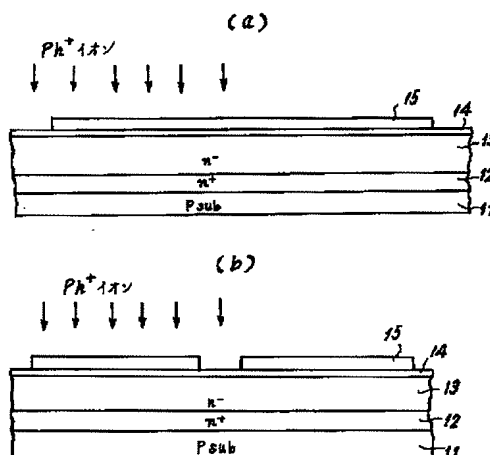
- * 2 1 p ベース領域
- 2 2 n 型エミッタ領域
- 3 4 n 型高不純物濃度領域
- 3 5 絶縁膜
- 5 1 絶縁膜
- 5 2 n 型高不純物濃度領域
- 8 0 フォトレジスト
- 1 2 1 垂直走査回路 1 2 2 出力ライン
- 1 2 3 水平走査回路
- 1 2 4 アンプ
- 1 3 1 インバータ
- $C_{B1} \sim C_{Bn}$ ブートストラップ容量
- $V_{L1} \sim V_{Ln}$ 垂直ライン
- $H_{L1} \sim H_{Ln}$ 水平ライン

*

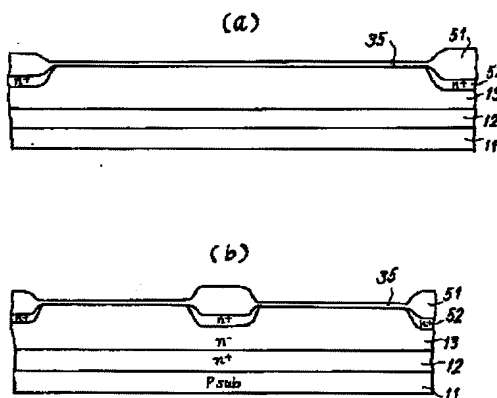
【图 1】



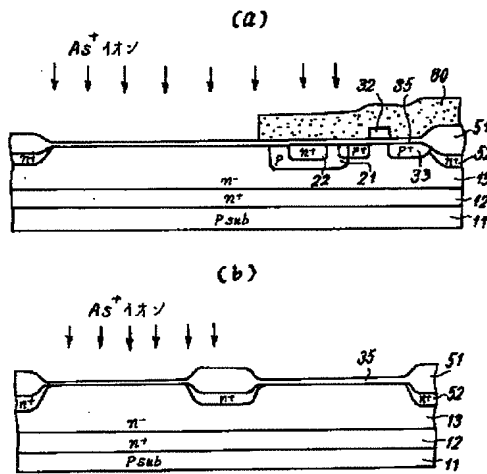
【図 2】



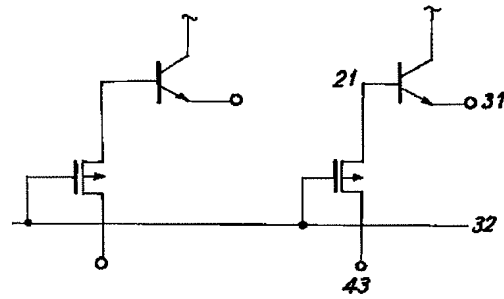
【図 3】



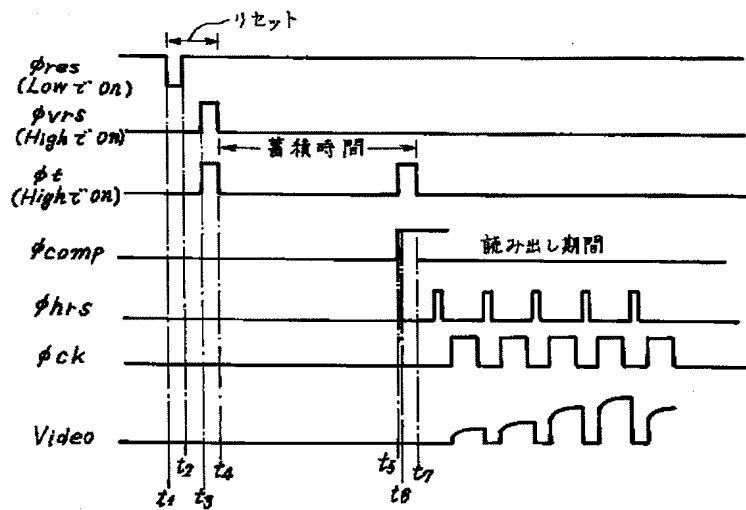
【図4】



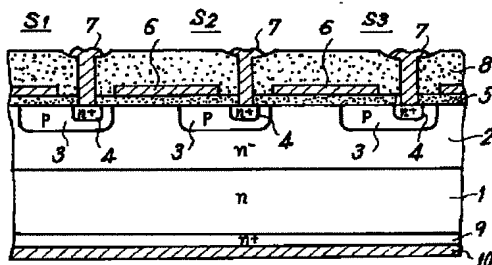
【図8】



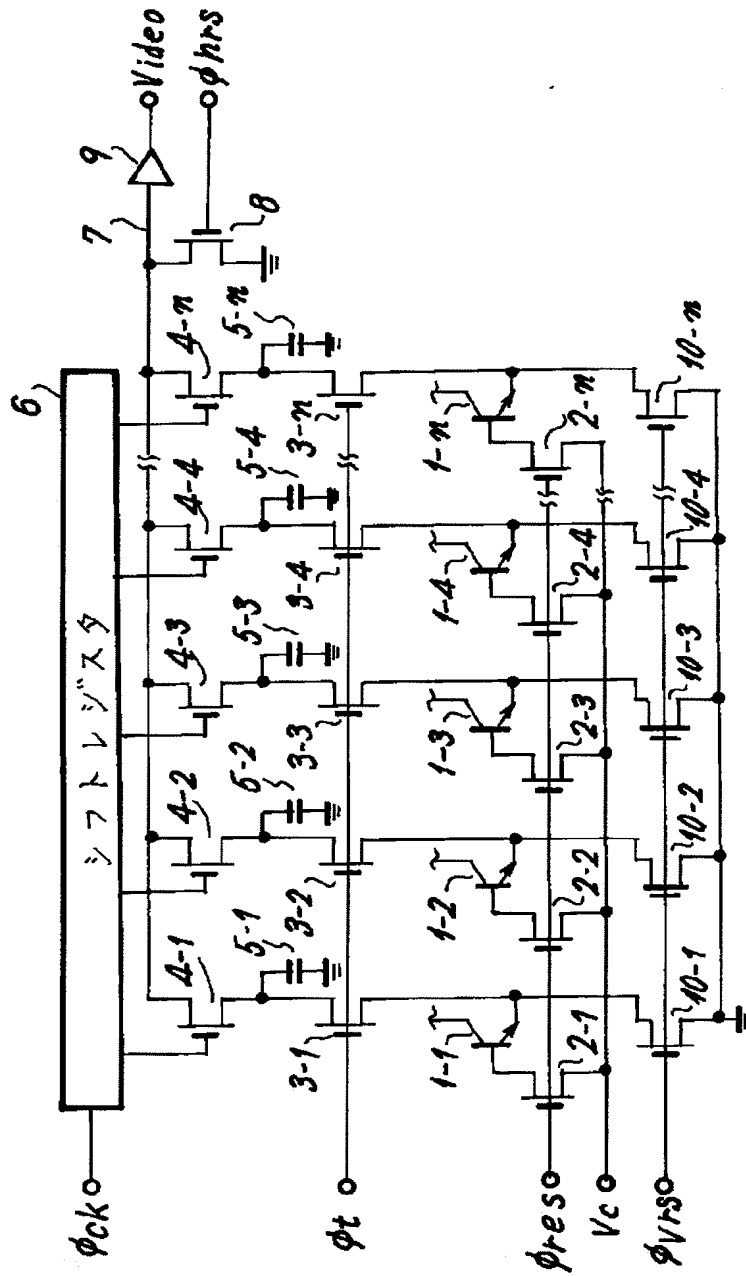
【図6】



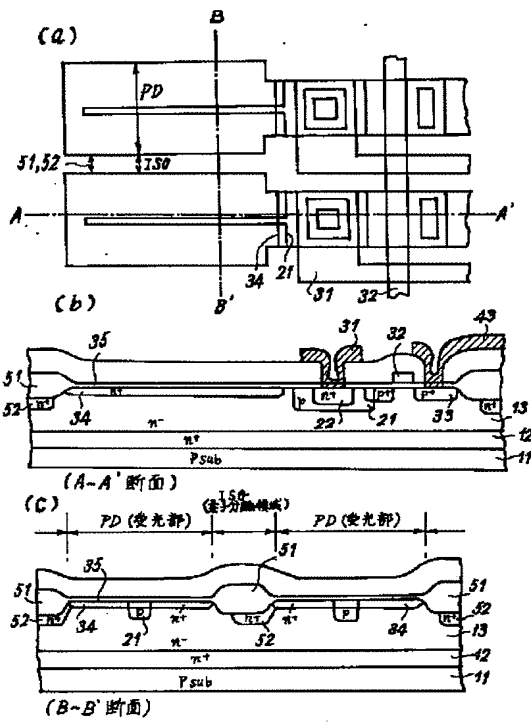
【図12】



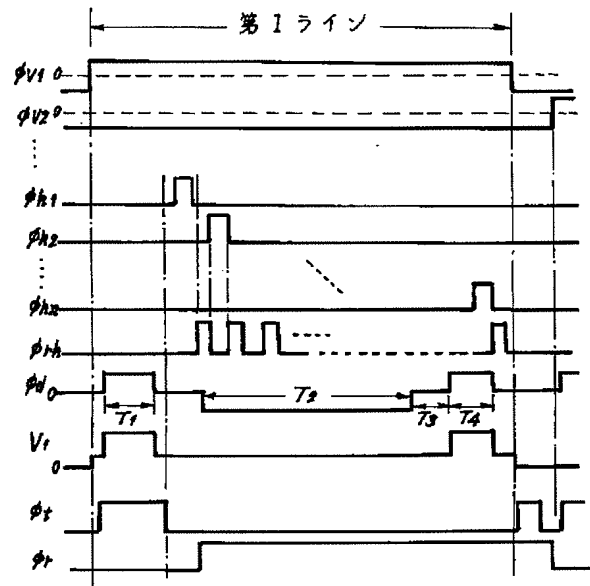
【図5】



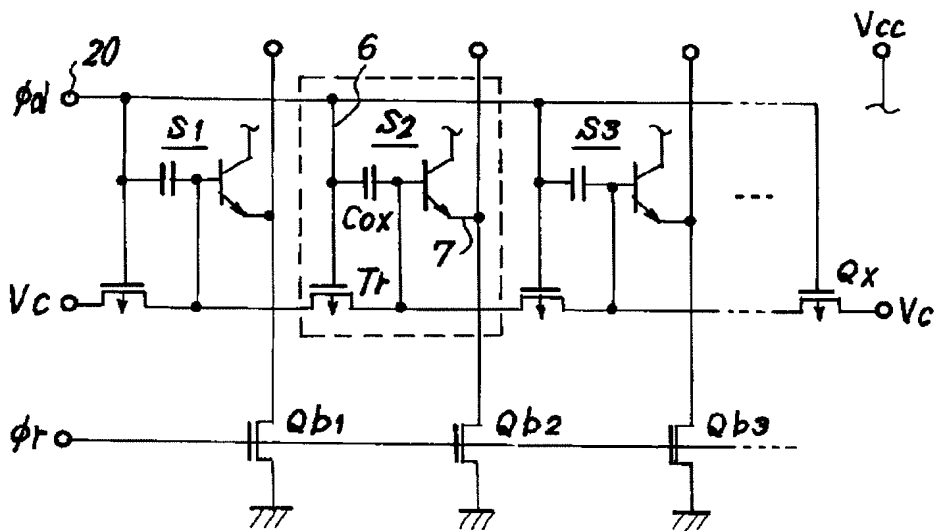
【図7】



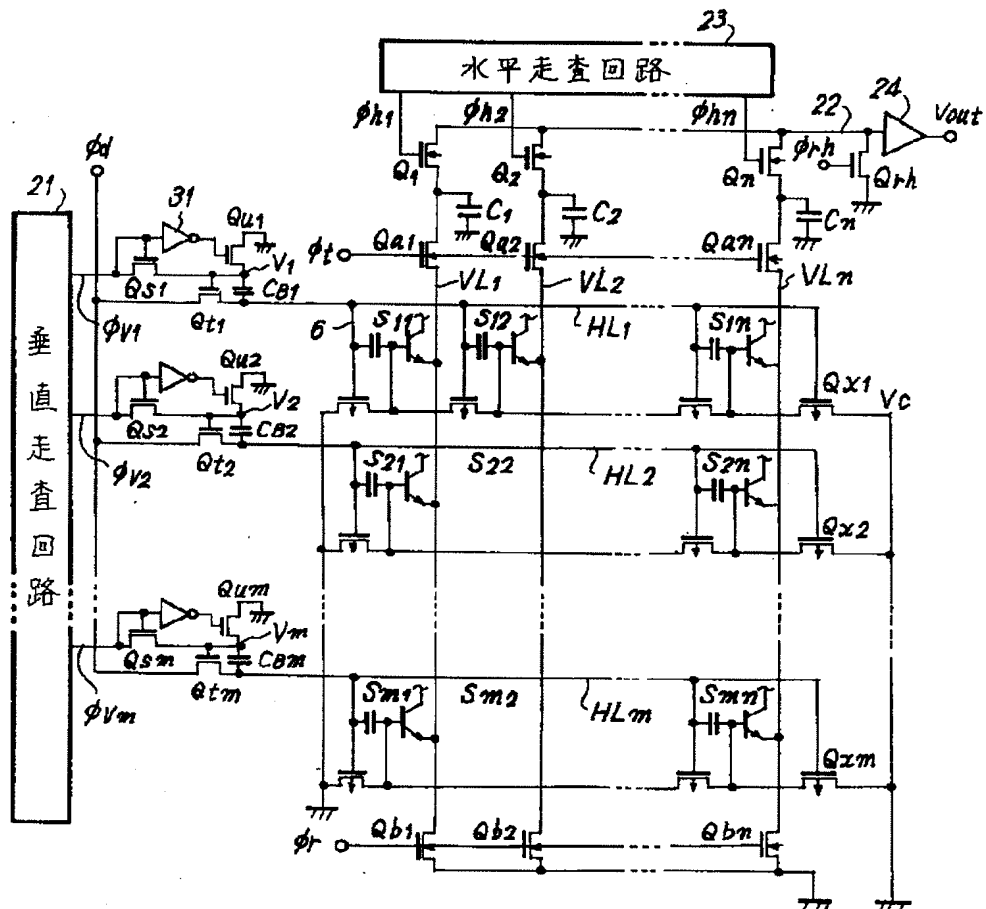
【図10】



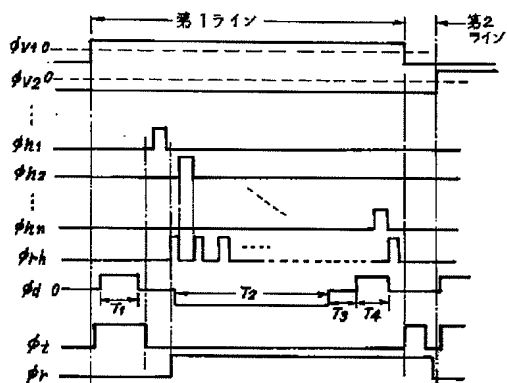
【図13】



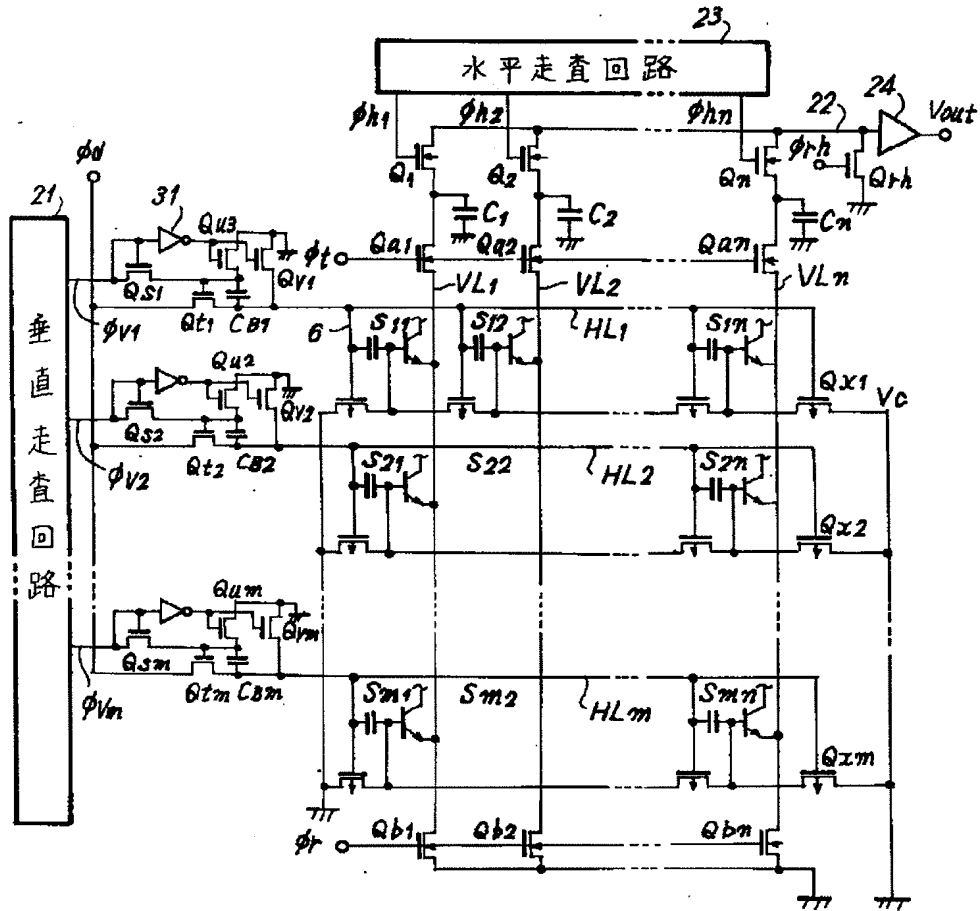
【図9】



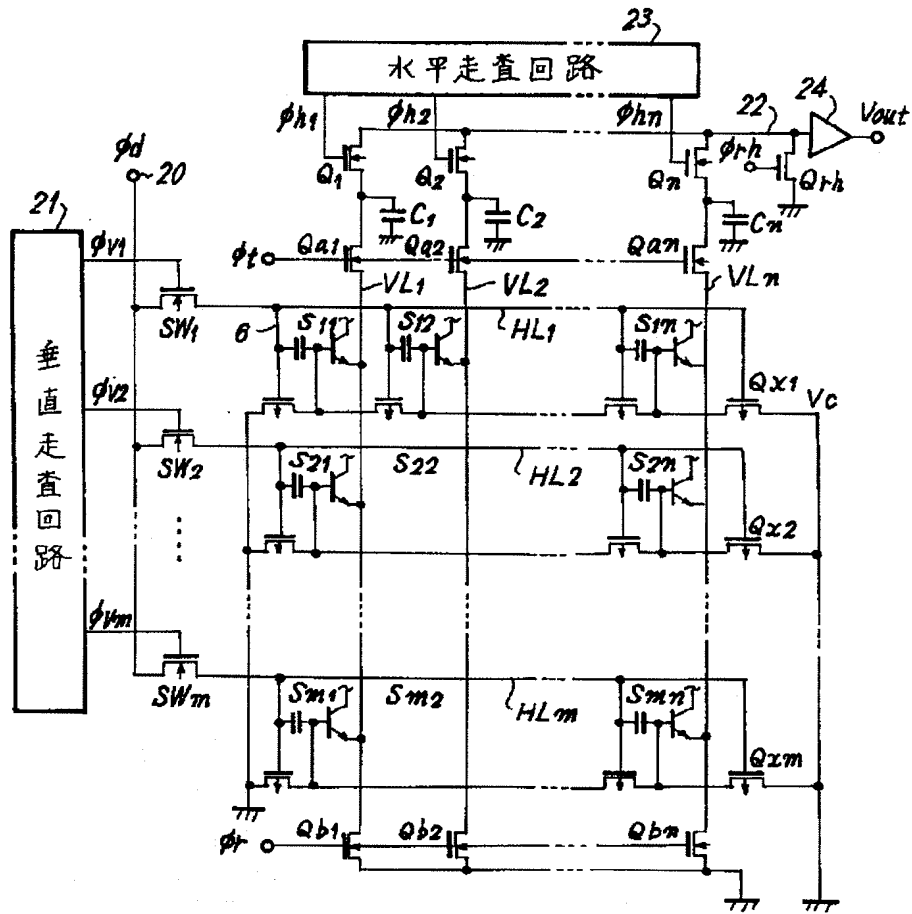
【図15】



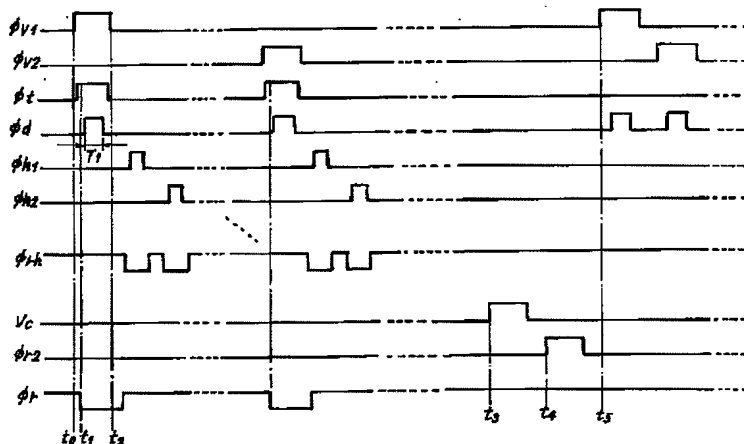
【図11】



【図14】



【図17】



【図16】

